

Switching circuits and matrix device using same.

Patent Number: ☐ [EP0162969](#)
Publication date: 1985-12-04
Inventor(s): REMMERIE GUIDO PETRUS THEOPHIE
Applicant(s): BELL TELEPHONE MFG (BE); INT STANDARD ELECTRIC CORP (US)
Requested Patent: ☐ [JP61050195](#)
Application Number: EP19840200778 19840530
Priority Number(s): EP19840200778 19840530
IPC Classification: G09G3/36
EC Classification: [G09G3/36C6](#), [G09G3/36C12P](#), [G09G3/36C14P](#)
Equivalents: AU4270385, BE902538
Cited Documents: [EP0078402](#)

Abstract

The invention relates to switching circuits and matrix device using same and having the form of a flat panel comprising a control device and a smectic liquid crystal display including pixels arranged in a coordinate matrix of 400 rows and 720 columns. The control device includes several driver units located along the four sides of the rectangular matrix and serially interconnected along each side so as to constitute bidirectional shift registers for serial control data and information. Each driver unit controls 30 odd or 30 even numbered lines (rows or columns) and is able to apply to these lines for a predetermined duration DC voltages equal to either -150 Volts, -30 Volts, 0 Volt, +30 Volts or +150 Volts in function of these data and information.

Data supplied from the **esp@cenet** database - I2

⑫ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)3月12日

G 09 G 3/20

7436-5C

審査請求 有 発明の数 3 (全22頁)

⑮ 発明の名称 スイッチング回路およびそれを使用するマトリックス装置

⑯ 特 願 昭60-117630

⑰ 出 願 昭60(1985)5月30日

優先権主張 ⑱ 1984年5月30日 ⑲ ベルギー (B E) ⑳ 8420077&3

⑳ 発 明 者 グイド・ベトラス・セ ベルギー国、ビー-2560 ルムスト、アントワープス・ス
 オフィール・コンスタ ティーンベーク 42
 ント・ルメリー

㉑ 出 願 人 インターナショナル・ アメリカ合衆国、ニューヨーク州 10022、ニューヨー
 スタンダード・エレクトリック、パーク・アヴェニュー 320
 トリック・コーポレイ
 ション

㉒ 代 理 人 弁理士 鈴江 武彦 外2名

明 記 要

1. 発明の名称

スイッチング回路および

それを使用するマトリックス装置

2. 特許請求の範囲

(1) 座標マトリックスおよび関連制御装置を具備し、前記座標マトリックスは交差点を決定する複数の交差ライン系列を備え、前記制御装置は前記座標マトリックスの異なる列に沿って配置された複数の駆動装置を備え、前記ライン系列の少なくとも一つの別々のラインに結合されたライン出力端子を備え、前記制御装置はまた前記駆動装置に結合され、この駆動装置に入力信号を供給する如く構成された入力信号線を備えているマトリックス装置において、

前記各駆動装置はそれぞれ前記ライン出力端子の一つを有し、シフトレジスタを形成するように構成された複数の駆動回路と、前記入力信号をこのシフトレジスタを通してシフトさせるシフト制御手段とおよび前記シフトの方向を制御する方向

制御手段とを具備していることを特徴とするマトリックス装置。

(2) 前記ライン系列の一つに対する前記入力信号は前記入力信号線からコネクタ端子を介して前記マトリックス装置の同じ列に供給されていることを特徴とする特許請求の範囲第1項記載のマトリックス装置。

(3) 前記ライン系列の少なくとも一つの直接接続する二つのラインに結合された前記出力端子はそれぞれ前記座標マトリックス装置の別々の列において接続されていることを特徴とする特許請求の範囲第1項記載のマトリックス装置。

(4) 前記マトリックス装置は前記座標マトリックスを構成しているスメックチック液晶フラットパネル型表示装置および前記表示装置の周囲に配置されている前記駆動装置を支持するフラットパネルであり、前記表示装置のセルは前記交差点に配置していることを特徴とする特許請求の範囲第1項記載のマトリックス装置。

(5) 前記各駆動回路は、前記方向制御手段によ

り制御される信号スイッチング回路を前記第1および第2の端子または第3および第4の端子間に相補的に結合されることのできる論理手段を有することを特徴とする特許請求の範囲第1項記載のマトリクス装置。

(6) 前記信号スイッチング回路は、第1および第2の端子または第3および第4の端子間に相補的に結合されることのできる、前記第2の端子および第4の端子に互いに接続され、信号メモリ回路を通じて相補的に導通状態になるように制御される2個のゲートの共通端子に結合され、その他方の端子はそれぞれ前記第1および第3の端子に結合されていることを特徴とする特許請求の範囲第5項記載のマトリクス装置。

(7) 前記各駆動回路により形成されたシフトレジスタは、複数の信号スイッチング回路の駆動回路により形成され、このスイッチング回路は前記第1および第2の端子または第3および第4の端子間に相補的に結合されることのできる論理手段を有し、前記信号スイッチング回路はその回路の

第1および第4の端子が次の回路の第2および第3の端子にそれぞれ結合された駆動回路であることを特徴とする特許請求の範囲第1項記載のマトリクス装置。

(8) 前記各駆動回路は複数の制御端子を有し、それに前記入力信号がそれらに供給され、その中の少なくとも一つが前記両方向ラインを介して制御されたインターフェイス回路に結合され前記インターフェイス回路は前記両方向制御手段によつて制御されていることを特徴とする特許請求の範囲第7項記載のマトリクス装置。

(9) 前記制御端子を介して並列に接続された複数の駆動回路が少なくとも前記座席マトリクスの一方の端に位置していることを特徴とする特許請求の範囲第8項記載のマトリクス装置。

(10) 前記論理手段は前記信号メモリ回路に結合され、前記入力信号を前記駆動回路に含まれたスイッチング回路を形成している両はな複数の回路の引込のものを制御する複数の要素よりなる複数の符号に変換するように形成され、かつ、結合

されたラインの電気的状態を決定する出力信号を前記出力回路が供給することのできる前記ライン出力端子を有している組合せ手段を知えていることを特徴とする特許請求の範囲第6項記載のマトリクス装置。

(11) 前記組合せ手段は前記入力信号の他方のものの制御下に前記入力信号の若干のものをラッチするラッチ手段を知えていることを特徴とする特許請求の範囲第10項記載のマトリクス装置。

(12) 前記スイッチング回路は各入力端子における少なくとも3個の電圧の中の一つを共通の出力端子に選択的に結合することができる如く形成され、第1および第2の入力端子を前記共通の出力端子に結合する第1および第2の回路が、少なくとも1個のDMOSスイッチ素子を具備し、第3の入力端子を前記共通の出力端子に結合する第3の回路が並列に結合された2個のDMOSスイッチ素子を具備しており、前記各ライン出力端子は前記共通出力端子であることを特徴とする

特許請求の範囲第10項記載のマトリクス装置。

(13) 第1および第2の端子または第3および第4の端子間に相補的に結合されることのできるスイッチング回路において、

前記第2の端子および第4の端子は互いに接続され、信号メモリ回路を通じて相補的に導通状態になるように制御される2個のゲートの共通端子に結合され、その他方の端子はそれぞれ前記第1および第3の端子に結合されていることを特徴とする信号スイッチング回路。

(14) 前記回路は、一つの回路がその回路の第1および第4の端子を次の回路の第2および第3の端子にそれぞれ結合されて駆動回路を形成していることを特徴とする特許請求の範囲第13項記載の信号スイッチング回路。

(15) 前記駆動回路の駆動における2個の端子は制御されたインターフェイス回路を通じて両方向ラインに結合されていることを特徴とする特許請求の範囲第14項記載の信号スイッチング回路。

(16) 前記制御されたラインインターフェイス回路は前記四方向ラインと前記2個の端子の一方との間の信号を再生し、伝送できるようにし、これらの端子の他方のものと前記四方向ラインとの間の伝送を阻止する第1の手段と、前記他方の端子と四方向ラインとの間の信号を再生し、伝送できるようにし、前記他方の端子と前記四方向ラインとの間の伝送を阻止する第2の手段とを具備していることを特徴とする特許請求の範囲第15項記載の信号スイッチング回路。

(17) 各入力端子における少なくとも3個の電圧の中の一つを共通の出力端子に選択的に結合することのできるスイッチング回路において、

第1および第2の入力端子を前記共通の出力端子に結合する第1および第2の回路が、少なくとも1個のDMOSスイッチ装置を具備し、第3の入力端子を前記共通の出力端子に結合する1以上の第3の回路が逆向き互列に結合された2個のDMOSスイッチ装置を具備していることを特徴とするスイッチング回路。

又は、前記符号の3個の要素が第3の入力端子における電圧が前記共通出力端子に供給されるものであるときに阻止されることを特徴とする特許請求の範囲第20項記載のスイッチング回路。

(22) 前記第1および第2の回路が同一であり、前記第3の回路の前記動作手段に第1の相互接続手段を介して結合されているそれらのレベル変換器を備えており、前記第1および第2の回路の動作手段が第2の相互接続手段を介して前記第3の回路のレベル変換器結合されており、前記第3の回路は前記第1および第2の相互接続手段を介して前記第1および第2の回路の動作手段を制御することを特徴とする特許請求の範囲第20項記載のスイッチング回路

(23) 前記DMOSスイッチは同じ構造型のDMOSTランジスタであり、トランジスタおよび抵抗を備えた前記動作手段は前記抵抗を流って正電圧の方向にその固有のゲートキャパシタンスを充電することによって前記制御するDMOSTランジスタをゆっくりと導通状態にすることができ、

(18) 前記各回路が各DMOSスイッチ装置と協同してそのDMOSスイッチ装置を導通することによりもずつと迅速に導通することのできる動作手段を具備していることを特徴とする特許請求の範囲第17項記載の信号スイッチング回路。

(19) 前記回路が互いに接続され、入力信号により制御され前記回路の別々のものを制御する3個の要素を有する多数の符号を発生することのできる論理手段に結合されていることを特徴とする特許請求の範囲第17項記載の信号スイッチング回路。

(20) 前記回路のそれぞれは、前記論理手段と前記動作手段との間に結合された能動装置を備え、前記動作手段と共に前記符号の要素を前記DMOS装置を制御する制御信号に変換するように構成されているレベル変換器を具備していることを特徴とする特許請求の範囲第18項記載のスイッチング回路。

(21) 前記DMOS装置、前記動作手段、および前記レベル変換器の能動装置を流って流れる電

前記トランジスタのソース・ドレイン路を介してそのゲート電極に負の電圧を供給することにより前記DMOSTランジスタを急速に阻止することができるとを特徴とする特許請求の範囲第18項記載のスイッチング回路。

(24) 前記負の電圧が前記動作手段のそれぞれの前記トランジスタのソース電極に定常的に供給され、前記第1および第2の回路に含まれた前記トランジスタは前記各レベル変換器および前記第3の回路の前記動作手段によって前記第1の相互接続手段を介して制御され、前記第3の回路の前記トランジスタは前記結合されたレベル変換器によってのみ制御され、前記正の電圧は前記第3の回路に含まれた前記動作手段の前記抵抗の一端に定常的に供給され、前記第1および第2の回路に含まれた前記動作手段の前記抵抗の一端に前記第2の相互接続手段を介してに供給されることを特徴とする特許請求の範囲第22項記載のスイッチング回路。

3. 発明の詳細な説明

〔発明の技術分野〕

この発明は、並列マトリックスおよび直列マトリックスを具備し、前記並列マトリックスは交叉点を決定する複数の交叉ライン系列を備え、前記並列マトリックスは前記並列マトリックスの別々の側に設置された複数の駆動装置を備え、前記ライン系列の少なくとも一つの別々のラインに結合されたライン出力端子を有し、前記駆動装置はまた前記駆動装置に結合され、この駆動装置に入力信号を供給する如く構成された入力信号線を備えているマトリックス装置に関するものである。

〔発明の技術的課題〕

そのような装置は、例えば英国特許出願GB 2 120440A号によつてすでに知られている。駆動装置は並列マトリックスの反対側にあり、それによつてマトリックスライン間の距離の2倍である駆動端子間の距離が得られる利点がある。しかしながら、それにおいては反対側にあるラインは真った距離のために使用されている。

〔発明の目的〕

に信号線を結合するのにも異なるコネクタ端子の数は減少される。他方、これらのシフトレジスタは両方向性のものであるために、それらはマトリックスの同じ側から供給されることができ、駆動装置が同一に作られ、マトリックスの表面に面してそれらのライン出力端子の大部分を配置することができる。そのような駆動装置の別の利点は、チップ上に集積されたとき、出力端子がその4側に配置できることである。

これらの利点は次のような考察から認識することができる。

駆動装置は、もしもそれらのライン出力端子の大部分がマトリックスに面しており、入力信号がこのマトリックスの同一側からシフトレジスタに供給されるように配置されるならば、同一にすることができる。しかしながら、この場合には異なるコネクタ端子の数が増加し、さらに入力信号は反対の順序でシフトレジスタを通過してシフトされなければならない。同一の駆動装置を使用できるようにする別の方法はこれらの装置の下方にこ

この発明の目的は、上記形式のマトリックス装置であるが、しかし装置の単位面積当たり最大端子数を有し、最少の装置によつて信号線に結合されることのできる同一の駆動装置を使用することのできるマトリックス装置を提供することである。

〔発明の要旨〕

この発明によれば、この目的は、前記各駆動装置がそれぞれ前記ライン出力端子の一つを有し、シフトレジスタを形成するように接続された複数の駆動回路と、前記入力信号をこのシフトレジスタを通過してシフトさせるシフト制御手段とおよび前記シフトの方向を制御する方向制御手段とを具備していることによつて達成される。

この発明の別の特徴は、前記ライン系列の一つに対する前記入力信号が前記入力信号線からコネクタ端子を通り前記マトリックス装置の同じ側に供給されていることにある。

マトリックスの同じ側から供給されるシフトレジスタの使用によつて、これらのシフトレジスタ

これらのラインを延長することによつてこのマトリックスの対応するラインにマトリックスの一方の側に配置された駆動装置のライン出力端子を接続することである。しかしながら、この場合には、マトリックスに面するチップの面積は増大することができず、それ故装置表面積当たりの全体の端子数は著しく減少する。前記のように駆動装置がチップ上に集積されている場合における表面積当たりの端子数が大きいことは特に重要であることに注意すべきである。チップの寸法を増加することによつてこの数を増加させることは可能であるが、これはチップが設置されるパッケージの大きさによつて制限される。さらに機械的抵抗を良好にするためにできるだけ正方形のチップが好ましい。

同一の駆動装置を使用する代わりに複合駆動装置を使用することが可能である。単一形式の駆動装置はずつと複雑な設計を有するけれども、集積回路が存在するために部分的に共通の設計により利点があつても2個の別々のチップよりも安価に製作され、テストされ、監視されることができる。

この発明はまた第1および第2の端子間または第3および第4の端子間の制御された相補型結合を可能にする信号スイッチング回路に関する。

そのようなスイッチング回路は従来知られており、一般に2個の結合のそれぞれとして使用される2個の相補的に制御されたスイッチまたはゲートによって実現される。

この発明の別の目的は、上記形式であるが、第1および第2の端子間または第3および第4の端子間で伝送されるべき信号を記憶させることができ、しかも特に簡単な構成を残したスイッチング回路を提供することである。

この発明によれば、この目的は、前記第2の端子および第4の端子が互いに接続され、信号メモリ回路を通じて相補的に導通状態になるように制御される2個のゲートの共通端子に結合され、その他の端子がそれぞれ前記第1および第3の端子に結合されることによって達成される。

このようにして、スイッチング回路は上記信号を記憶し、上記共通端子を有する2個の相補的に

制御されるゲートにより形成されたただ一つの端子の目え渡点の使用、および2個の結合による記憶回路の共通の使用により非常に簡単な構成である。

この発明はさらに各入力端子における少なくとも3個の電圧の中の一つを共通の出力端子に選択的に結合することのできるスイッチング回路に関する。

この発明のさらに別の目的は、このような多値スイッチング入力回路により、これらの入力端子の一つと共通出力端子との間の電圧を実質し、一方これらの入力端子に供給された電圧間の関係を、特に端子間の電圧差が比較的高い、例えば300ボルトであるときに避けることである。

この目的は、第1および第2の入力端子をそれぞれ前記共通の出力端子に結合する第1および第2の回路が、少なくとも1個のDMOSスイッチ装置を具備し、第3の入力端子を前記共通の出力端子に結合する第3の回路が逆向き直列に結合された2個のDMOSスイッチ装置を具備すること

によって達成される。

スイッチ装置としてDMOSトランジスタのソース・ドレイン回路を使用することは、それらが上記300ボルトのような比較的高い電圧に耐えることができるために適している。しかしながら、そのようなDMOSトランジスタはそのソース・ドレイン回路を分離する寄生ダイオードを有している。もしも、第1の入力端子における電圧が3個の中で最も高いものであれば、第1の回路のDMOSトランジスタはそのときバイアスされ、そのためその寄生ダイオードは常に阻止され、このトランジスタの開放または閉鎖状態に影響はない。その代わりに、もしも、第2の入力端子における電圧が3個の中で最も低いものであれば、第2の回路のDMOSトランジスタもまたバイアスされ、そのためその寄生ダイオードは常に阻止され、例えば一つの回路のDMOSトランジスタのソースが他の回路のDMOSトランジスタのドレインと共通出力端子に接続される。

他の二つの回路の間に存在する第3の入力端子にお

ける電圧により、そのバイアス方向に関係なく第3の回路における対応するDMOSトランジスタは2個の他の電圧の一つが共通出力端子に存在するとき常にその寄生ダイオードを導通状態に置く。しかし、その寄生ダイオードが逆方向直列に接続されている2個のDMOSトランジスタはこの第3の回路に対する問題を解決する。

上述の、およびその他のこの発明の目的および特徴は添付図面を参照にした以下の実施例の説明によりさらに明瞭に理解されるであろう。

[発明の実施例]

第1図に示されたマトリックスすなわちフラットパネル表示装置FPDは液晶表示装置LCDおよびこの表示装置の周囲に配置された制御回路を備えている。液晶表示装置LCDは図で太い線で示された、それぞれマトリックスの行および列を構成している透明導体ストライプをそれぞれ2枚のガラス板の間にサンドウィッチ状に挟まれたメカニカル装置の層を具備している。2本のそのような並置な行および列ストライプの

24区は14の箇所をそれぞれ表示しており、表示装置は400行および720列に配置された288000個のそのような点を有している。これはそれぞれ9列、16行によりそれぞれ決定されたアルファベットや数字の2000字を表示するのに充分である。

この表示装置で使用されているスメックチェック装置の主要な利点はその検査の状態を迅速に変化でさることである。透明状態はクリアにする動作の結果であり、不透明状態は故障動作の結果である。不透明状態から透明状態へ、或いはその反対への検査の状態の変化は対応する交差区域における行および列ストライプに供給される駆動信号から直接導出されることができ、故障状態（不透明状態を生成する）は約50Hzの信号の1サイクル時間、すなわち20ミリ秒を必要とする。クリア状態（透明状態を生成する）は1.5 kHzの信号の3サイクル時間、すなわち2ミリ秒を必要とする。追加のサイクルは特に顕著な影響を有しない。スメックチェック装置の別の重要な特性はその電圧

しきい値である。すなわち、それは電圧のあらゆるレベルに達するまでは状態を変化させない。このレベルが特定のレベルにおいて超過されたときその検査は供給された周波数によって示された状態を取る。しきい値の近くでは製品材料は極端に劣悪を示す。しかしながら、検査電圧が増加すると劣悪時間は減少する。

不平衡な駆動信号は行または列ストライプの駆動に使用してはならない。何故ならば製品材料に長時間供給されるDC成分はその特性および寿命に悪影響を及ぼすからである。それ故全てのこれらの駆動波形はよく平衡されていなければならない。すなわち、その正および負の振幅および期間が等しくなければならない。

行中の全ての検査の可視状態を制御するために、まず、この行全体が全ての可視状態を周期的に消滅するように故障状態にされ、その後新しい情報を表示するために選択された検査がクリア（透明）にされ、一方その行の残りの検査はその故障状態のまま残る。これは、故障状態が少なくとも一つ

の行において行われ、一方クリア動作は常に同時に1行ずつ行われることを意味している。しかしながら、その1行において特定の個々の検査だけがクリアにされるように選択される。

故障波形は第2図に示されている。検査の故障はピーク対ピークで600ボルトの振幅を有する50Hzの方形波PSCの1サイクルをそれに差動的に供給することによって行われる。二つのモードが故障に使用される。最初のモードによれば、全パネルが故障状態にされる。これはそれぞれ1サイクル中全列ストライプおよび全行ストライプに位相が反対の方形波CSCおよびRSCを供給することによって行われる。これらの波形は300ボルトのピーク対ピーク振幅を有する。さらに詳しく説明すると、最初の半サイクル中+150ボルトの電圧（CSC）が全ての列ストライプに供給され、一方-150ボルトの電圧（RSC）が表示装置の全ての行ストライプに供給される。その結果生じた差電圧は300ボルトの振幅を有する（PSC）。第2の半サイクル中全ての列ストライプに

供給される電圧（CSC）は-150ボルトに変化し、一方全ての行ストライプに供給される電圧（RSC）は+150ボルトに変化する。これは列ストライプに300ボルトの下向きの電圧ステップを生じ、行ストライプに300ボルトの上向きの電圧ステップを生じる。したがって各検査には600ボルトの所要の差電圧ステップが得られる。これは全ての検査を故障の状態にする。

第2の故障モードによれば、選択された行だけが故障状態にされる。この場合には、電圧波形CSCは全ての列に供給され、一方CSCに対して反対位相である電圧波形RSCは故障されるべき行ストライプだけに供給される。RSCと相補関係にある方形波RNSCが他の行ストライプに供給される。したがってこれら最後2行の検査に与えられる差電圧PNSCはゼロであり、したがってそこでは故障は生じない。

クリア状態は、個々の検査を制御しそれによって可視状態を表示するために使用される。この動作は、前に故障状態に設定された単一の行の選択

された状態について行われ、300ボルトのピーク対ピーク電圧（第3図参照）を有する1.5

kHzの方形波電圧は月PCLの3サイクルの周期の供給よりなる。変動電圧の生成について以下説明する。

単一の選択された行ストライプに対してSTROBE（第3図）と呼ばれる方形“行選択”電圧の3サイクルが供給され、他の全ての行ストライプは接地電位に接続される。信号STROBEは300ボルトのピーク対ピーク電圧を有する。全ての列ストライプに対して信号STROBEと同じ周波数を有する別の方形“列選択”電圧CNCまたはCC（それぞれ60ボルトのピーク対ピーク電圧）が全クリア動作期間中供給される。信号STROBEに対して信号CNCは同じ位相であり、信号CCは反対位相である。これらの波形は第3図に示されている。信号CCは選択がクリアされるべき列ストライプに供給され、一方信号CNCは選択が故障状態のまま残される列ストライプに供給される。

らない状態

第1の場合に対しては、同じ列において選択は列ストライプの信号CCおよび行ストライプの接地電圧を与えられる。これはその結果として差信号（ピーク対ピーク60ボルト）を生じ、それは信号CCと同一であり、選択にその以前の状態に影響を及ぼすことなく反転供給されることができ

る。

第2の場合に対しては、同じ行において選択は列ストライプの信号CNCおよび行ストライプの信号STROBEを与えられる。この組み合わせはピーク対ピーク240ボルト差電圧PNCL（第3図参照）をこれらの選択の両端に生じる。この差電圧PNCLは長い時間以上には保持されることはなく、各行に供給される時間は3サイクル（2ミリ秒）以下であるから、これらの状態は影響を受けない。

第3の場合には選択は行においても列においてもクリアにされておらず、信号CNCは列ストライプに供給され、一方行ストライプは接地電位に

信号STROBEおよび信号CCが選択に供給されると、これらの信号は加算され、選択は変動的に所望のクリア信号PCLを得る。したがって、その選択は3サイクル中にクリアにされる。この高レベル信号PCLは各行期間に1行づつ、3サイクルの時間だけ供給される。

クリア動作において、選択回路の電圧しきい値特性ならびに供給された信号の継続時間は注意深く考慮されなければならない。現実には選択された選択だけに適切にアクセスするために、それ故クリアにされない他の選択に供給される残留電圧を排除することが必要である。選択がクリアにされてはならない3つの状態について検討されなければならない。

これらは、

- 1) アドレスされた選択として同じ列にある選択
- 2) アドレスされた選択として同じ行にあるが、クリアにされるべきではない選択
- 3) アドレスされた選択と同じ列にも同じ行に

ある。これは選択の両端にCNCに等しい差電圧を生じ、それはその前の状態に影響を及ぼすことなく選択に対して反転供給されることができ

る。

前記周波数（50Hzおよび1.5kHz）は平均値であることに注意する必要がある。事実、温度感知手段（図示せず）が表示装置に設けられ、液晶の温度の関数として上記周波数を調整する。典型的にはこれらの周波数は“クリア”および“故障”に対してそれぞれ8.3乃至50Hzおよび1乃至2kHzである。

再び第1図を参照すると、前記図解回路は液晶の駆動装置FPDRを有し、それらの各駆動装置FPDRはそれぞれ行および列ストライプに結合され30のストライプを駆動している。各駆動装置FPDRは単一チップとして構成され、その各駆動装置は上記信号CSC、CC、CNCまたはRSC、RNSC、STROBEをそれぞれ関係する行および列ストライプに供給することができる。これらの信号の正と負の駆動電位の切替は、立上

がりおよび上下がり時に可しい状態が生じ、それは30マイクロ秒以下である。行および列の駆動装置が動作されるとき、対応するストライプの交差点における発光は不透明または透明状態にされ、それは再び状態を変更するように励起されるまでそのままである。

駆動装置FPDRは表示装置LCDの両面に沿って配置され、LCDの1両面に沿って配置されたものはその両面を隔てる偏光または遮蔽層のストライプのいずれかを制御し、一方反対面に設けられた駆動装置は他のバリティのストライプを制御する。上記のように各駆動装置FPDRは30のストライプを制御することができ、120の列ストライプがあるから、12個の駆動装置FPDRはLCDの上側および下側に沿って配置されている。同様に、400の行ストライプがあるから、7個の駆動装置FPDRがこの表示装置LCDの左側および右側に沿って配置されている。表示装置LCDのそれぞれの両面に沿って駆動装置FPDRは接続接続されており、それ故互列の制御データお

よび制御信号はこれらの接続接続を通じてシフトされることができ、フラットパネル表示装置FPDはさらにそれぞれFPDの2型の隣接する列部に沿って設置している2組のコネクタ端子を有するだけであり、駆動装置FPDRは全て同一であり、関係するストライプに接続され、これらのストライプの方向に設けられた出力端子を有している。これらの理由で、上記互列の制御データおよび制御信号は表示装置LCDの一列に沿って配置された駆動装置FPDR中を一方方向にシフトされなければならない。一方、表示装置LCDの反対面に沿って配置された駆動装置FPDR中では反対方向にシフトされなければならない。シフトの方向はシフト方向信号LC、RC、LRおよびRRにより駆動装置FPDRの接続接続中で制御され、それらのシフト方向信号は、列の上側、列の下側、行の左側および行の右側においてそれぞれ接続接続の駆動装置FPDRに供給される。列ストライプに供給された互列制御データ信号は列クロック信号CLKC、列周波数信号FREOC、

列非エネーブル信号ENCおよび列選択信号SELである。列の上側に沿って配置された駆動装置FPDRはこれらの列の下側に沿って配置された駆動装置FPDRと異なったストライプに接続されているから、追加の互列制御信号DATALCおよびDATARCがそれぞれ2個の駆動装置FPDRの接続接続に供給される。さらに詳細に述べると、前述の互列制御データ信号と同様のこの互列制御信号DATALCおよびDATARCは表示装置LCDの列ストライプに供給された前述の信号CSC、CC、CNCを発生するために使用される。列ストライプに供給されるものと異なる互列制御データおよび制御信号はまた行ストライプにも供給される。これらの制御データ信号は行クロック信号CLKR、行周波数信号FREOR、列非エネーブル信号ENRおよび行選択信号SELRである。列の場合と同様に、追加の互列制御信号DATA LRおよびDATA RRが前の互列制御データ信号と共に使用され、表示装置LCDの行ストライプに供給される前述

の信号RSC、RVSCおよびSTROBEを発生させる。

駆動装置FPDRは第4図に詳細に示されている。それは制御端子D、端子11~15および01~05および30の出力端子OUT 1~30を有し、10個のインターフェイス回路IC 1~10、クロック回路CKC、方向制御回路RLC、30個の論理装置LD 1~30および30個の高電圧装置HVD 1~30を有している。制御端子Dは方向制御回路RLCを介して内部バスRBおよびLBに結合され、それは全てのインターフェイス回路IC 1~10の入力DA、DBならびに全ての論理装置LD 1~30の入力RB、LBを制御する。端子11および01はそれぞれIC 1およびIC 6を介してLD 1の端子A1、B0およびLD 30の端子AO、B1に接続され、端子12、02、13、03、14、04、15、05はそれぞれIC 2、IC 7、IC 3、IC 8、IC 4、IC 9、IC 5、IC 10を介して内部バスSB、FB、EBおよびCKBに接続されている。バスSB、

FB、EBはまた論理値L D 1~30の同じ記号を付された端子に接続され、バスCKBはクロック回路CKCの入力に接続され、そのクロック回路CKCの4個の出力は論理値L D 1~30の対応する入力端子に接続されている。論理値L D 1~30はそれぞれ3個の出力端子IN 1乃至IN 3を有し、それらの端子はそれぞれ出力OUT 1~30を有したH V D 1~30の同じ記号を付された入力端子に接続されている。これらの出力はそれぞれ表示装置LCDの行または列ストライプに接続されている。

R L Cの制御端子Dは方向を示している前記方向信号LC、RC、LR、またはRRの一つを受信するように構成され、それにおいて、直列信号は以下に説明するように駆動装置FPDR中へシフト(右または左)されなければならない。そのような信号に応じて、そのときR L Cは2個の相補信号RおよびLを出力し、それらの信号はそれぞれバスRBおよびLBに供給されてシフト方向のFPDRの他の回路を報告する。"右にシフト"

されている。この回路R L CはFPDRの同じ信号の制御端子Dに対応する入力端子Dおよび出力端子RおよびLを有し、入力端子Dに接続された抵抗R1および出力端子Lに接続されたインバータINV1を有している。インバータINV1の入力にはまた2個のクランプダイオードD1およびD2が接続され、そのダイオードの直列接続の両端は電源端子VDD(+12ボルト)および接地端子0Vにそれぞれ接続されている。さらに、抵抗R2と出力端子RもまたインバータINV1の入力に接続されている。抵抗R2の他端はVDDに接続されている。入力端子Dは定常的に接地端子0Vに接続されるか、或いは左側が開放されている。抵抗R1は、十分な電圧、例えば静電気が入力端子Dに与えられたときクランプダイオードD1および、またはD2を通して流れる可能性のある電流を制限する。入力端子Dがアースされているとき、出力端子RおよびLはそれぞれ論理値0および1にある。反対に入力端子Dが開放のとき、出力端子Rは電圧VDDおよび抵抗R2に

に所与する付与された方向信号が端子Dに供給されたとき、および適当な直列制御信号O A T A L C、D A T A R C、D A T A L RまたはD A T A R Rが先行するFPDRから端子I1に供給されたとき、この制御信号はインターフェイス回路IC1に直列接続を介して端子O1に、その出力端子OUT1に伝送)へ、前記論理回路L D 1~30へおよびその入力端子IN1を介してインターフェイス回路IC6に伝送される。端子O1から制御信号は次のFPDRへ転送される。左へのシフトに対しては、直列制御信号によつて同様な通路が取られるが、そのときFPDRの入力端子はO1であり、出力端子はI1であり、制御信号はIC6の出力端子OUT1およびIC1の入力端子IN1を介して伝送される。FPDRの他のインターフェイス回路IC2~5およびIC7~10のそれぞれに対しては入力および出力端子IN1およびOUT1は短絡されてそれぞれバスSB、FB、EBおよびCKBに接続される。

第5図を参照すると、方向制御回路が詳細に示

よつて論理値1に引上げられ、一方出力端子Lはそのとき0である。出力端子Rにおける論理値1は右へのシフトを示し、一方出力端子Lにおける論理値1は左へのシフトを示す。これらの値はすでに前に説明したように対応する内部バスRBおよびLBを介して駆動装置FPDRの他の回路に供給される。

第6図はクロック回路CKCを示し、それは同じ記号の内部クロックバスCKBに接続された入力端子CKBおよび同じ記号のクロック信号をそれぞれ出力する出力端子φ1、φ1、φ2、φ2を有している。クロック回路CKCはノアゲートNOR1およびノアゲートNOR2を有し、ノアゲートNOR1は入力端子CKBおよびφ1に接続され、ノアゲートNOR2は入力端子φ2へおよびインバータINV2を介してCKBに接続されている。ノアゲートNOR1の出力はインバータINV3およびINV4の直列接続を介してφ2に、およびインバータINV5乃至INV7の直列接続を介してφ2に接続されている。ノ

アゲート NOR2 の出力はインバータ INV8 および INV9 の直列接続を介して $\phi 1$ に、およびインバータ INV10 および INV12 の直列接続を介して $\phi 2$ に接続されている。

第 7 図は入力クロック信号 CKB を示し、それは前記のように別クロック信号 CLKC または別クロック信号 CLKR のいずれかである。図にはまた出力クロック信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 2$ も示されている。入力クロック信号 CKB は入力端子 13 または O3、対応するインターフェイス回路 IC5 または IC10 および内部クロックバス CKB を介してクロック回路 CKC の同じ名称の端子 CKB に供給された方波である。出力信号 $\phi 1$ 、 $\phi 2$ はそれぞれ $\phi 1$ 、 $\phi 2$ の周波数である。CKC のインバータの接続接続により、信号 $\phi 1$ 、 $\phi 2$ は正の部分が負の部分より狭い方波であり、信号 $\phi 1$ の正の部分は信号 $\phi 2$ の負の部分の中央であり、反対に信号 $\phi 2$ の正の部分は信号 $\phi 1$ の負の部分の中央である。

上記インターフェイス回路 IC 1~10 の一つが

3 およびナンドゲート NAND1 の他方の入力に接続されている。端子 BP はまた別のナンドゲート NAND2 の入力および別のノアゲート NOR4 の入力に接続されている。ナンドゲート NAND2 およびノアゲート NOR4 の他方の入力はそれぞれ制御端子 DA および DB に接続され、一方、これらのゲート NAND2 および NOR4 の出力はそれぞれ MOS トランジスタ PM2 および NM2 のゲート電極に接続されている。PM1 および NM1 の場合のように PM2 のソース・ドレインは NM2 のドレイン・ソースと直列に接続され、PM2 のソース電極は電極端子 VDD に接続され、NM2 のソース電極は接地されている。さらに出力端子 OUT1 は PM2 と NM2 の接続点に接続されている。

もしも、データが端子 BP から出力端子 OUT1 にシフトされなければならないならば、論理値 1 が IC の制御端子 DA に供給され、論理値 0 が制御端子 DB に供給されなければならない。これはインターフェイス回路 IC 1~5 に対しては右

第 8 図に IC として示されている。それは端子 1~5 または O 1~5 に接続された接続パッド端子 BP、入力および出力端子 IN1 および OUT1 および制御端子 DA および DB を備えている。制御端子 DA および DB は内部バス RB および LB を介して方向制御回路 RLC によって制御される。回路 IC はまた電極端子 VDD (12ボルト) および接地端子 0 V を有している。端子 BP は MOS トランジスタ PM1 および NM1 のソース・ドレインとおよびドレイン・ソース部の直列接続の接続点に接続され、PM1 のソース電極は電極端子 VDD に接続され、NM1 のソース電極は接地されている。これらのトランジスタ PM1 および NM1 のゲート電極はそれぞれノアゲート NOR3 の出力およびナンドゲート NAND1 の出力にそれぞれインバータ INV13 および INV14 を介して接続されている。NOR3 の 1 入力は制御端子 DA に接続され、NAND1 の 1 入力は制御端子 DB に接続されている。一方入力端子 IN1 はインバータ INV15 を介してノアゲート NOR

へのシフト (R-1, L-0) に対応し、IC 5~10 に対しては左へのシフト (R-0, L-1) に対応する。上の状態 (DA-1, DB-0) においては論理値 1 が常に NOR3 の 1 入力に供給され、一方論理値 0 が常に NAND1 の 1 入力に供給される。これは、NOR3 および NAND1 の出力がそれぞれ 0 および 1 であり、それ故論理値 1 がトランジスタ PM1 のゲート電極に供給され、論理値 0 がトランジスタ NM1 のゲート電極に供給されることを意味している。これらのトランジスタ PM1 および NM1 はそのとき両方共に阻止され、入力端子 IN1 は端子 BP から遮断される。さらに、上と同じ条件で端子 BP に供給された論理値 1 は NAND2 および NOR4 の出力に論理値 0 を生じ、それ故トランジスタ PM2 が導通し、トランジスタ NM2 が阻止される。これは出力端子 OUT1 に電極電圧 VDD に対応する論理値 1 を発生する。反対に、端子 BP に供給された論理値 0 は NAND2 および NOR4 の出力に論理値 1 を発生し、それ故トランジスタ PM2

は阻止され、トランジスタNM2は透過し、それは出力端子OUT1に与えられる論理値0、すなわち接地電位を発生する。同様の動作は論理値0および1が制御端子DA、DBにそれぞれ供給されたときにも生じる。トランジスタPM2およびNM2はそのとき両者共に阻止され、それ故出力端子OUT1は端子BPから遮断され、入力端子INIに供給された論理値は端子BPに同一の論理値を発生する。MOSTランジスタPM1、NM1およびPM2、NM2によつてこのインターフェイス回路の端子BPまたはINIに供給された入力信号は出力において再形成される。

さらに、大面積の接続パッドおよび接続線によつて大きなキャパシタンスが端子BPとアース0Vとの間に生じる(図示せず)。このキャパシタンスはそれぞれMOSTランジスタPM1およびNM1の出力抵抗(図示せず)を通して充放電される。このキャパシタンスの効果を特に高周波において減少させるために、上記の出力抵抗は最小にしなければならない。そのようにするために、

ンス(図示せず)に結合された出力抵抗(図示せず)はそれぞれ論理ゲートNAND2およびNOR4において最小であり、それ故インターフェイス回路ICのこの部分にはインバータは使用されない。

第4図の論理装置LD1~30の一つが第9図にLDとして示されている。これはそれぞれ駆動装置FPDRの同じ名称の内部バスに接続された制御端子LB、RB、FBおよびSBを有し、以下説明するように高電圧装置HVDの同じ名称の入力端子にそれぞれ接続された出力端子INI、IN2およびIN3をそれぞれ與えている。論理装置LDはまた同じ名称のクロック信号を伝送する端子φ2、φ2およびφ1、φ1を介してクロック回路CKCに接続されている。上述のように駆動装置FPDRの30個の論理装置LD1~30は縦横に接続され、各論理装置LDは制御端子AI、BOおよびAO、BIを有し、その中の端子AIおよびBOはそれぞれ次の論理装置LDの端子AOおよびBIに接続されている。論理装置LDは

MOSTランジスタPM1およびNM1の大きさは増加され、その結果これらのトランジスタのゲートキャパシタンスもまた増加する。上記と同じ理由のために、これらのゲートに接続されたトランジスタの出力抵抗(図示せず)が減少されなければならない。インバータ回路は論理ゲート(NANDまたはNOR)よりもトランジスタが少ないから、インバータ回路で出力抵抗を小さくすることはずっと容易である。それ故、小さい出力抵抗を有するインバータINV13およびINV14が論理ゲートNOR3およびNAND1の出力とMOSTランジスタPM1およびNM1のゲートとの間にそれぞれ配置される。インターフェイス回路ICの反対側でもキャパシタンス(図示せず)が端子OUT1とアース電位0Vとの間に生じる。しかしながら、このキャパシタンスは端子BPにおけるものよりも小さい値を有する。それ故MOSTランジスタPM2およびNM2はMOSTランジスタPM1およびNM1よりも小さく、トランジスタPM2およびNM2のゲートキャパシタ

それぞれNMOSTランジスタおよびPMOSTランジスタ(そのゲート電極上に小さな円を付して示されている)により形成された通過ゲートPG1~PG7を備えており、それらのトランジスタのソースおよびドレイン電極は相互に接続され、そのゲート電極は以下説明するように相補制御信号によつて制御される。

論理装置LDの端子AIは、制御端子LBおよびRBに供給された相補方向信号によりそれぞれ制御された2個の逆方向直列接続の通過ゲートPG1およびPG2を介してこの同じ論理装置LDの端子BIに接続されている。これらの通過ゲートPG1およびPG2の接続点は相補クロック信号φ1およびφ1により制御された通過ゲートPG3、インバータINV16、相補クロック信号φ2およびφ2により制御された通過ゲートPG4および別のインバータINV17を通過して論理装置LDKの両端子BOおよびAOに接続されている。さらにインバータINV18はその入力インバータINV16の出力に接続され、その出力はク

ロック信号φ2およびφ2により制御された通過ゲートPG3を介してインバータINV16の入力に接続されている。通過ゲートPG3の出力はまたそれぞれ制御端子Bを介して直接およびインバータINV19を介してそれらに供給された相補信号により制御された通過ゲートPG6を介してナンドゲートNAND3の1入力に接続されている。通過ゲートPG6の出力はまたインバータINV20の入力に接続され、そのインバータINV20はインバータINV21と直列に接続されて通過ゲートPG7の出力に達し、通過ゲートPG7の入力はインバータINV21の出力に接続され、それは通過ゲートPG7のそれと相補型の制御信号により制御される。通過ゲートPG6の出力でもあるNAND3の上記入力および制御端子FBは他動的ノアゲートXNRの2つの入力である。他動的ノアゲートXNRの出力は直接アンドゲートAND1の1入力に接続されると共にインバータINV22を介して別のアンドゲートAND2の1入力に接続されている。アンドゲートAND1、AN

D2の他方の入力には共にアンドゲートAND3の出力を構成している出力端子IN3に接続されている。アンドゲートAND3の2つの入力にはNAND3の出力およびINV19の出力であり、一方、NAND3の第2の入力は制御端子SBに接続されている。出力端子IN1はAND2の出力端子により形成され、出力端子IN2はAND1の出力端子により形成されている。

制御端子RBに供給された論理値1は、すなわち右へシフトの動作の場合において、したがって論理値0が制御端子LBに供給されている場合においては、通過ゲートPG1を開じ、PG2を閉く。論理値LDの前記直列情報信号DATA LC、DARARC、DATA LRまたはDATA RRに対する入力端子はそのときA1であり、出力端子はA0である。この場合に、駆動装置FPDR(第4図)の入力端子は11であり、その出力端子は01であり、それ故に11に供給された直列情報信号はインターフェイス回路IN1、その出力端子OUT1、LD1の端子A1ないしLD

30の端子A0、入力IC6の入力端子IN1およびインターフェイス回路IC6自身を介して01に伝送される。反対に、論理値0が制御端子LBに供給されたとき、すなわち左へシフトの動作の場合においては、したがって論理値0が制御端子RBに供給されているときには、通過ゲートPG1が閉じ、PG2が開く。論理値LDの前記直列情報信号に対する入力端子はそのときB1であり、対応する出力端子はB0である。前記と同様に、駆動装置FPDRに対して情報信号は、IC6およびIC1を介して伝送されるが、入力端子は今度は01であり、出力端子は11である。IC6およびIC1においてこの信号はそれぞれ出力端子OUT1および入力端子IN1を介して伝送される。前記のように右へのシフト動作の場合(RB=1, LB=0)には、通過ゲートPG1が開き、PG2が閉く。それ故に入力端子B1に供給された情報信号は端子B0に対してさらに論理値LD中へ伝送されることはできない。反対に入力端子A1に供給された情報信号は端子A0

に伝送される。事実それはまずクロック信号φ1の正パルスの最初の発生においてインバータINV16の入力に供給される。その後クロック信号φ2が高くなると通過ゲートPG4およびPG5が開き、インバータINV17を介して出力端子A0にシフトされる。この信号はまたフィードバックインバータINV18および通過ゲートPG5を介してインバータINV16に再び供給される。インバータINV16およびINV18の出力キャパシタンス(図示せず)が高いために、そこで信号のラッチが行われる。その代わりに、左へのシフト動作(RB=0, LB=1)に対しては、情報信号は同様に処理されるが、前記のように入力端子はその場合にはB1であり、出力端子はB0である。

各出力端子IN1、IN2、IN3におけるそれと同じ名称の出力信号IN1、IN2、IN3の値は端子A1またはB1に供給された情報信号DATA LC/RまたはDATA RC/R(右へのシフトまたは左へのシフト)および以下説明す

る次の状態信号に依存する。すなわち、端子E
Bへ供給される非エネーブル \overline{ENC}/R (第1
図)、端子SBへ供給される選択信号 $SELC/R$ (第
1図)、端子FBへ供給される周波数 $FREQC/R$
(第1図)である。

非エネーブル \overline{ENC}/R が論理レベル1にある
間は通過ゲートPG6は閉じられ、A1とA0ま
たはB1とB0間に伝送された並列選択信号はま
たPG6の出力に現われる。しかしながら、これ
らの信号は状態信号FBおよびSBによつて有効
と認められず、したがつて出力端子IN1~3に
有効な出力信号を発生しない。事実、非エネー
ブル \overline{ENC}/R は論理レベル1にあるから、INV
19の出力は0であり、それ故AND 3の出力、し
たがつてまたAND 1およびAND 2の出力も0
である。

非エネーブル \overline{ENC}/R の立ち下がり期間にお
いては、通過ゲートPG6は開き、通過ゲートP
G7は閉じており、PG6の出力における最後の
状態信号はインバータINV20およびINV21お

よび通過ゲートPG7よりなる回路中にこれらの
インバータの高い出力キャパシタンス(図示せず)
によつてラッチされる。この場合には出力信号
IN3は、端子SBにおける選択信号 $SELC/R$
およびINV20およびINV21中にラッチされ
た状態信号が共に論理レベル1であるときのみ0であ
る。

選択信号 $SELC/R$ および状態信号の他の値
に対して信号IN1およびIN2は次のブーリア
ン関数によつて表わされる。

$$IN1 = IN3(DATA, \overline{FREQC/R} \\ + DATA, \overline{FREQC/R})$$

$$IN2 = IN3(DATA, \overline{FREQC/R} \\ + DATA, \overline{FREQC/R})$$

ここで、DATAは状態信号 $DATA/LC/R$
または $DATA/R$ のいずれか一方である。
結論として信号IN1およびIN2はIN3が0
であるとき共に0である。その代わりにIN3が
1であるとき、信号IN1およびIN2は上記信
号DATAおよび $FREQC/R$ および各補数に

のみ依存する。

\overline{ENC}/R 、 $SELC/R$ 、 $FREQC/R$ お
よびDATAの関数における信号IN1、IN2
およびIN3の値は次の表に示されている。

\overline{Enc}	Ser	Data	IN1	IN2	IN3
1	X	X	0	0	0
0	1	1	0	0	0
0	0	0	\overline{Fcr}	\overline{Fcr}	1
0	0	1	\overline{Fcr}	\overline{Fcr}	1
0	1	0	\overline{Fcr}	\overline{Fcr}	1

ここで、 \overline{Enc} は信号 \overline{ENC}/R 、Serは信号
 $SELC/R$ 、DataはDATAの略号であり、
 \overline{Fcr} および \overline{Fcr} はそれぞれ $FREQC/R$ および
 $\overline{FREQC/R}$ の略号であり、Xは注意する必
要のないことを示している。

前記表に示された値の意味は第10図を参照し
た高電圧装置HVDの次の説明により明確になる
であろう。この高電圧装置HVDは第4図に示さ
れた駆動装置FPDRの30個の高電圧装置HVD
1~30のいずれか一つを示している。それはそれ

ぞれ高電圧装置LDの同じ名称の出力端子に接続さ
れた入力端子IN1、IN2、IN3 および電源
端子VDD、+V1、-V2、+V3および接地
端子0Vを有している。HVDはまた表示装置L
CDのストライプ(行および列)の同じ名称の端
子に接続された出力端子OUTを有する。端子+
V1、-V2、+V3に供給される電圧は、端子
OUTに接続されたストライプ(行および列)の
種類および前述のようにそのストライプ上で行わ
れるべき動作に依存して+150ボルト、-150ボ
ルトおよび+170ボルトまたは+30ボルト、-30
ボルトおよび+50ボルトである。HVDに接続さ
れたストライプはその各回路LCDEによつて
第10図中に示され、それはHVD端子OUTと
接地0Vの間の抵抗R3および抵抗R4とキャパ
シタンスC1の並列接続の直列接続によつて構成
されている。

高電圧装置HVDは3個の回路HVI、HV2、
HV3よりなり、その中HV1とHV2は同一で
ある。それ故、HV1およびHV3についてののみ

以下説明する。

回路H V1は入力端子T1および別の端子T1、T2、T3、T4を對入している。この回路H V1は高電圧PNPトランジスタP1を有し、そのベース電極は抵抗R5とR6の接続点に接続され、それらの抵抗は端子VDDと入力端子T1の間に接続されている。トランジスタP1のエミッタ電極は高電圧VDDに接続され、そのコレクタ電極は高電圧NMOSTランジスタNM3のゲート電極に接続されると共に抵抗R7を介して端子T1に接続されている。さらに、トランジスタNM3のソース電極は高電圧端子-V2に接続され、一方そのドレイン電極は抵抗R8を介して端子T2に接続されると共に第2の高電圧NMOS出力トランジスタNM4のゲート電極に接続されている。このトランジスタNM4のドレイン電極は高電圧端子T3に接続され、一方そのソース電極は端子T4に接続されている。回路H V1に対して、入力端子T1はH V Dの入力端子I N1に接続され、端子T3は高電圧端子+V1に接続され、端子T4

ソース電極は端子-V2に接続され、一方端子T1はクランプダイオードD3を介してNM6のドレイン電極に接続されている。端子+V1はまた抵抗R11を介してトランジスタNM6のドレイン電極とダイオードD3のカソードと1対の高電圧NMOSP出力トランジスタNM7およびNM8の接続点に接続され、それらのトランジスタNM7およびNM8のソース電極は互いに接続されている。出力トランジスタNM7のドレイン電極は端子0Vに接続され、出力トランジスタNM8のドレイン電極は端子OUTに接続されている。

高電圧装置H V Dの作用について以下説明する。前述のようにこの装置の目的は、端子OUTが接続されるストライプ（行および列）の種類に応じて、また所望の濃度（露光またはクリア）においてCSC、CC、CNC、RSC、RNSCまたはSTROBEのような信号をその出力端子OUTに出力することである。高電圧+V1および-V2は回路H V1およびH V2の出力トランジスタNM4を介して端子OUTに供給され、一方接地

はH V Dの出力端子OUTに接続されている。一方回路H V2の入力端子T1はH V Dの入力端子I N2に接続され、端子T3および端子T4はそれぞれH V Dの出力端子OUTおよび高電圧端子-V2に接続されている。さらに、2個の回路H V1およびH V2の端子T1およびT2は以下のように回路H V3の同じ名称の端子T1およびT2に接続されている。

回路H V3はH V Dの同じ名称の端子に対応する入力端子I N3を有している。回路H V3はNMOSTランジスタNM5を有し、そのゲート電極は高電圧端子I N3に接続され、そのソース電極は端子0Vに、そのドレインは抵抗R9を介して高電圧PNPトランジスタP2のベース電極に接続されている。トランジスタP2のエミッタ電極は端子+V3に接続されると共にバイアス抵抗R10を介して自分のベース電極に接続されている。トランジスタP2のコレクタ電極は高電圧NMOSPトランジスタNM6に接続されると共に端子T2に接続されている。トランジスタNM6のソ

源電極0Vは以下説明するように出力トランジスタ対NM7およびNM8を介してこの出力端子OUTに供給されることができ、出力端子OUTに供給されなければならない高電圧の選択は入力端子I N1～I N3に供給された論理値を生じる。もちろんこれらの高電圧型の選択的な接続は返けなければならない。例えば各回路H V1およびH V2の2個の出力トランジスタNM4は決して両方が導通状態であつてはならない。そうでなければ高電圧+V1と-V2が短絡される。同じことは出力トランジスタ対NM7およびNM8の上記出力トランジスタNM4との組合わせに対しても言えることである。そのような短絡を避けるために回路H V1～H V3は出力トランジスタNM4：NM7およびNM8をそれらが導通状態にされるより速く阻止するように設計されている。このようにするために、高電圧装置H V Dの出力トランジスタNM4：NM7およびNM8は高いゲートキャパシタンス（図示せず）を有し、それらを導通状態にするためにそれらのゲート電極が互いに

$-R_8 : R_{11} (R_8 - R_{11} - 10 \text{ M}\Omega)$ を介してそれぞれ電圧端子 $+V_3 : +V_1$ に接続されている。さらに説明すれば、これらの各MOSTランジスタは偏する高い抵抗を介して正電圧の方向にその高いゲートキャパシタンスを充電することによってゆっくりと導通状態にされる。反対に、これらの各トランジスタ $NM_4 : NM_7$ および NM_8 の阻止はそれらのゲート電極がそのとき導通状態になるトランジスタ $NM_3 : NM_6$ のドレイン・ソース路を介して電圧端子 $-V_2$ に接続されることによってずつと迅速に行われる。

出力端子 OUT における電圧によって示され、それぞれ入力端子 $IN_1 \sim IN_3$ に供給された論理値の何々の組合わせに対応する高電圧装置の3個の可能な状態は以下詳しく解析される。最初の二つの状態においては、論理値1が入力端子 IN_3 に供給され、論理値1および0が入力端子 $IN_1 / 2$ および $IN_2 / 1$ にそれぞれ供給される。第3の状態においては、入力端子 IN_3 における論理値は0であり、したがってまた入力端子 IN

1 および IN_2 も0である。

全ての入力端子 $IN_1 \sim IN_3$ における論理値0は回路 HV_1 および HV_2 の出力トランジスタ NM_4 を阻止状態にし、出力トランジスタ NM_7 および NM_8 を導通状態にし、それ故に地電位0Vがそのとき出力端子 OUT に供給される。一方入力端子 IN_1 または IN_2 の一方に供給される論理値1は対応する出力トランジスタ NM_7 の動作を生じさせる。これらの状態においては入力端子 IN_3 は前記のように論理値1でなければならないから、出力トランジスタ NM_7 および NM_8 は阻止され、それ故に地電圧が出力端子 OUT から遮断される。その結果、前記動作している出力トランジスタ NM_4 が接続されている同じ電圧の電圧端子からの電圧 $+V_1$ または $-V_2$ が出力端子 OUT に供給される。各入力端子 IN_1, IN_2, IN_3 における運搬する論理値1, 0, 1 および 0, 1, 1 よりなるシナリオが高電圧装置 HVD の出力端子 OUT にそれぞれ運搬した $+V_1$ および $-V_2$ を出力する。この運搬した

出力は前記のように第2図および第3図に示されるように $CSC, CC, CNC, RSC, RNSC$ または $STROBE$ のような信号の1サイクルに対応する。

前記高電圧装置 HVD の最初の二つの状態は常に入力端子 IN_3 に供給された論理値1および入力端子 IN_1 および IN_2 にそれぞれ供給された補数の論理値に対応する。入力端子 IN_1 における論理値1および入力端子 IN_2 における論理値0は出力端子 OUT に供給されるべき電圧 $+V_1$ を生じ、一方、入力端子 IN_1 および IN_2 にそれぞれ供給された論理値0および1は出力端子 OUT に供給されるべき電圧 $-V_2$ を生じさせる。これらの入力信号の二つの組合わせは回路 HV_1 と HV_2 が同一であることによって対応である。それ故、それらの一方だけ、すなわち IN_1 に1、および IN_2 に0の場合だけについて以下説明する。

電圧 V_{DD} 、すなわち $+12$ ボルトに対応する論理値1が入力端子 IN_3 に供給されるから、

回路 HV_3 のトランジスタ NM_5 は導通状態になり、それ故トランジスタ P_2 もまた導通状態になる。その結果正電圧 $+V_3$ が導通したトランジスタ P_2 のエミッタ・コレクタ路を通過してトランジスタ NM_6 のゲート電極および端子 T_2 に供給され、そのためトランジスタ NM_6 もまた導通状態になる。その後、負電圧 $-V_2$ がダイオード D_3 および導通しているトランジスタ NM_6 のドレイン・ソース路を介して端子 T_1 に供給され、この電圧 $-V_2$ はまた出力トランジスタ NM_7 および NM_8 のゲート電極にもそれらを阻止するために供給される。

トランジスタ NM_7 および NM_8 はDMOSTランジスタであるから、寄生ダイオード（二示せず）がそれらのソースおよびドレイン電極間に結合され、このダイオードはこれらのトランジスタの構造に固有のものである。このような寄生ダイオードはそのカソード電極がDMOSTランジスタのドレイン電極に接続され、一方ダイオードのアノード電極はトランジスタのソース電極に接続

されている。+150ボルトまでの正電圧または-150ボルトまでの負電圧のいずれかが回路H V1およびH V2によつて出力端子O U Tに供給されるから、これらの電圧はまたトランジスタN M 8のドレイン電極にも現われる。それはこの電極が端子O U Tに接続されているからである。出力トランジスタN M 7およびN M 8の代わりにトランジスタN M 8だけについて考えると、例えばトランジスタN M 8のソース電極を接地端子0 Vと短絡することによつて、このトランジスタN M 8のドレイン電極における負電圧（例えば-150ボルト）はそのときこのトランジスタN M 8の導通している寄生ダイオードを介して接地されるであろう。このことから、トランジスタN M 7およびN M 8は、負電圧がそれらを阻止するためにこのトランジスタN M 7およびN M 8のゲート電極に供給されるとき、接地端子0 Vから出力端子O U Tを実質的に遮断するように逆方向直列に結合されなければならない。

回路H V 2においては、トランジスタP 1は入

っていた電源端子V D Dから遮断される。トランジスタN M 3は高いゲートキャパシタンスを有しているから、そのキャパシタンスはこのトランジスタN M 3が阻止されるまでは抵抗R 7を過って電圧-V 2にゆっくりと放電される。その時、出力トランジスタN M 4のゲート電極は電源端子-V 2から遮断され、このトランジスタN M 4の低いゲートキャパシタンスはトランジスタP 2のエミッタ・コレクタ結、端子T 2、および抵抗R 8を過ってそれに供給された正電圧+V 3にゆっくりと充電される。少し後に回路H V 1のN M O SトランジスタN M 4は導通状態になり、電源電圧+V 1をそのドレイン・ソース結を介して出力端子O U Tに供給する。+V 3は常に約20ボルト増加された電圧+V 1に等しく、そのため導通している回路H V 1のトランジスタN M 1のゲート電極は常にそのソース電極における電圧+V 1よりも高く、そのためトランジスタN M 4は導通状態のままである。

高電圧電源H V Dの第3の状態において、すな

わち端子I N 2に供給されている負電圧0によつて導通する。電源電圧V D Dはしたがって導通しているトランジスタP 1のエミッタコレクタ結を過ってトランジスタN M 3のゲート電極に供給される。トランジスタN M 3のソース電極はトランジスタP 2のエミッタ・コレクタ結を過って端子V 3に接続されているから、端子T 2および抵抗R 8、トランジスタN M 3は導通状態になる。それから負電圧-V 2が導通しているトランジスタN M 3のドレイン・ソース結を介して回路H V 2の出力トランジスタN M 4のゲート電極に供給される。その結果、回路H V 2の出力トランジスタN M 4は直ちに阻止され、したがって出力端子O U Tからの電圧端子-V 2でもある端子T 4を遮断する。

入力端子I N 1は論理値1、すなわち+12ボルトであるから、回路H V 1のトランジスタP 1は阻止され、したがって、回路H V 1のN M O SトランジスタN M 3のゲート電極は、前にトランジスタP 1のエミッタコレクタ結を介して接続され

る。端子I N 1が論理値0を有するとき、回路H V 3のトランジスタN M 5は阻止され、それによつて電圧が抵抗R 9およびR 10を過って現われるのが阻止され、そのためトランジスタP 2は阻止されている。その結果およびトランジスタN M 6もまた高いゲートキャパシタンスを有するためにトランジスタP 2を介して電源端子+V 3に前に接続されていたこのトランジスタN M 6のゲート電極における電圧はゆっくりと減少する。トランジスタN M 6が阻止される前に端子T 1がダイオードD 3およびトランジスタN M 6のドレイン・ソース結の直列接続を過って端子-V 2に接続され、一方、トランジスタN M 6のゲートキャパシタンスの前の充電のために正電圧+V 3が端子T 2に現われる。

同回路H V 1およびH V 2において、それらの端子T 1における0ボルトはトランジスタP 1を導通させ、そのためトランジスタN M 3のゲート電極はトランジスタP 1のエミッタ・コレクタ結を介して正電圧V D Dにされる。その結果、ト

ランジスタNM1は直ちに導通し、そのドレイン・ソース間を流って出力ランジスタNM1のゲート電極に負電圧 $-V_2$ を出力する。それと出力ランジスタNM1は直ちに閉止状態になる。H V_1 またはH V_2 のいずれかのランジスタNM1のドレイン・ソース間を流って出力端子OUTに供給されていた所の電圧電圧 $+V_1$ または $-V_2$ はそのときこの出力端子OUTから遮断される。さらに、電圧 $-V_2$ はまたランジスタNM6のドレイン・ソース間を流って出力MOSトランジスタNM7、NM8のゲート電極に供給される。この負電圧 $(-V_2)$ はNM7、NM8を閉止し、これらのランジスタに導通し、並列に結合された前記寄生ダイオードは出力端子OUTと接地端子0Vの間でいずれの方向にも電流が流れることを閉止する。

このとき、出力端子OUTは電圧端子 $+V_1$ 、 $-V_2$ および接地端子0Vのいずれから切断される。ランジスタNM6のゲート電極は閉止されたランジスタP2によって端子 $+V_3$ から遮

断されているから、このゲート電極における電圧はランジスタNM6が閉止されるまでゆっくりと減少する。端子 $-V_2$ から供給されて閉止されたランジスタNM6のドレイン電極における電圧は抵抗R11を介して出力ランジスタNM7、NM8のゲートキャパシタンスの充電によりゆっくりと $+V_1$ に等しくなる。この電圧はブロッキングダイオードD3のため端子T1に供給されない。そのとき出力端子OUTは接地端子0Vに接続されている。また、もしも正電圧 $+V_1$ が端子OUTに予め供給されていたならば、前者はランジスタNM7の動作している寄生ダイオードと並列の導通状態のランジスタNM8のドレイン・ソース間を流って接地端子0Vに接続される。反対に、もしも負電圧 $-V_2$ が端子OUTに予め供給されていたならば、後者はランジスタNM8の寄生ダイオードと並列のランジスタNM7のドレイン・ソース間を流って接地端子0Vに接続される。

前記電圧端子から端子T1を遮断するため、ア

ナログのように動作するラインドライバ(別または所)に供給された全ての信号: CSC, RS, C, RNSC(ピーク対ピーク 300ボルト, 50 Hz); CC, CNC, (ピーク対ピーク 50ボルト, 1.5 kHz)およびSTROBE(ピーク

対ピーク 300ボルト, 1.5 kHz)は駆動装置FPDRの出力端子OUTによりそれに供給される。出力端子OUTにおける電圧 $+150$ ボルト, $+30$ ボルトおよび -150 ボルト, -30 ボルトは駆動装置FPDRの各電圧駆動HVDのそれぞれの電圧端子 $+V_1$ および $-V_2$ によって供給される。これらの電圧は論理装置LDの出力端子IN1~IN3を介してそれに供給された同じ名称の入力端子IN1~IN3における信号の論理電圧IN1~IN3の範囲下に各HVDの出力端子OUTに供給される。これらの論理電圧IN1~IN3は、対応する非エネルギー信号ENCまたはENRが低レベルであるとき論理装置LD中のインバータIN20およびIN21によりラッチされた固定信号FREQCまたはFREOR、選択信号SEL CまたはSEL Rおよび並列選択信号OAT ALC/RまたはDATARC/Rによりそれら自身を制御される。

駆動装置LDの動作は次の表にまとめられている。

Sr	Dr	Sc	Dc	動作	論理信号
0	0	0	1	放電	PSC
0	1	0	1	非放電	PNSC
1	0	0	0	不透明	PNCL
1	0	0	1	透明	PCL
1	1	0	0	行非アドレス	CNC
1	1	0	1	行非アドレス	CC
0	X	0	0	不使用	—
X	X	1	X	不使用	—

ここで、DrはDATA LRまたはDATARのいずれかであり、DcはDATA LCまたはDATARCのいずれかであり、SrはSELRであり、ScはSELCである。Xは任意であることを意味している。前記の表において非エネーブル信号 \overline{ENCL} および \overline{ENR} は論理値0にあり、50Hzおよび1.5kHzの適当な周波数信号FREQC/Rがそれぞれ放電およびクリアのために使用されるとする。さらに、適当な高電圧が高電圧装置HVDの論理端子+V1、-V2および+V3に供給されることは明白である。

この表から、放電動作が、列ストライプに供給されるDATACとして供給された論理値1およびSELCおよびSELRの両者に対する情報信号として使用された論理値0の結果生成されることがわかる。放電動作は完全な表示に対してまたは選択された行だけに対して行われるから、放電されるべき行は情報信号DATARとして論理値0を持ち、一方放電されるべきでない行は情報信号DATARとして論理値1をもつ。対応する結果におけるその結果生じる信号はそれぞれPSCおよびPNSCである。

クリア動作に対しては、行選択信号SELRは常に論理値1であり、一方、列選択信号SELCは0のままである。クリアは一時に1行行われ、選択された行は論理値1の情報信号DATARを有し、関係する列はそれぞれ結果のクリアせずPNCLまたはクリアPCLに対して0または1のいずれかである。残りの行、すなわちアドレスされなかった行は情報信号として論理値1を受ける。前記のようにこれらの行（アドレスされない）

の結果における信号は対応する列における情報信号DATACの両方におけるCNCまたはCCである。信号の別の可能な組み合わせはこの実施例では使用されない。また、放電またはクリアのような付随動作は、情報信号DATACとして列ストライプに供給された論理値1と共に情報信号DATARとして論理値0が行ストライプに供給されるときのみ行われる。

以上、この発明の原理を特定の装置と関連して説明してきたが、この説明は単なる例示に過ぎないものであつて、特許請求の範囲に記載された発明の技術的範囲を限定するものではないことを明確に理解すべきである。

4. 図面の簡単な説明

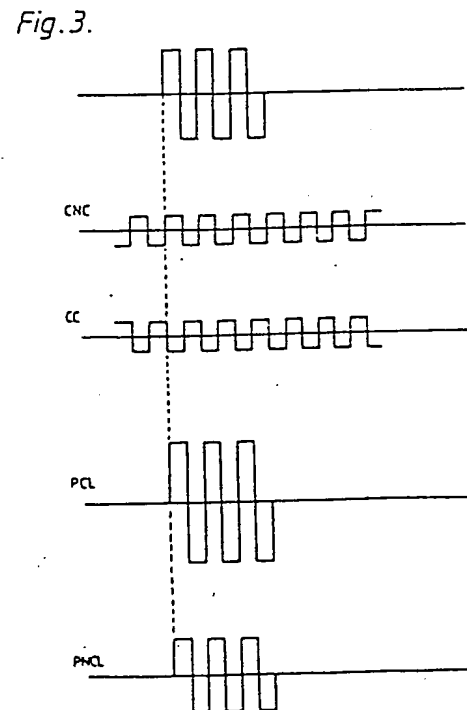
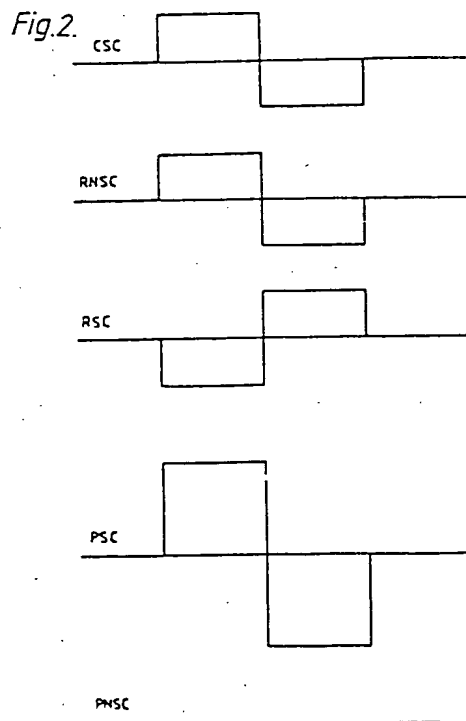
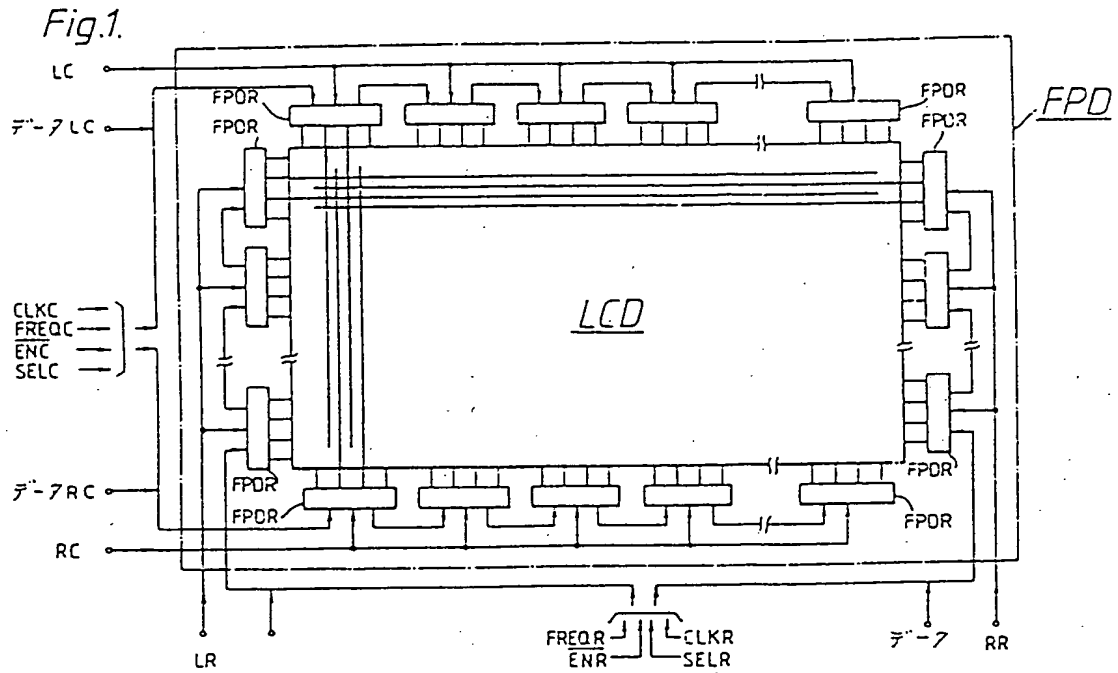
第1図は、この発明の1実施例の液晶表示装置FPCRを有したマトリックス装置またはフラットパネル型表示装置FPDの概略図であり、第2図および第3図はそれら駆動装置FPCRにより発生される信号およびそれらの信号から生成した信号波形を示している。第4図は駆動装置F

PDRの概略図であり、第5図は第4図の装置中の方向制御回路RLCを示し、第6図は第4図の装置中のクロック回路CKCのブロック図を示し、第7図はクロック回路CKCにより発生された信号波形を示し、第8図は第4図の装置中のインターフェイス回路ICを示し、第9図は第4図の装置中の論理装置LDを詳細に示し、第10図は第4図の装置中の高電圧装置HVDを詳細に示す。

LCD…液晶表示装置、FPCR…駆動装置、HVD…高電圧装置、RLC…方向制御回路、CKC…クロック回路、IC…インターフェイス回路、LD…論理装置。

出願人代理人 弁理士 佐江武彦

図面の形状(内容に変更なし)



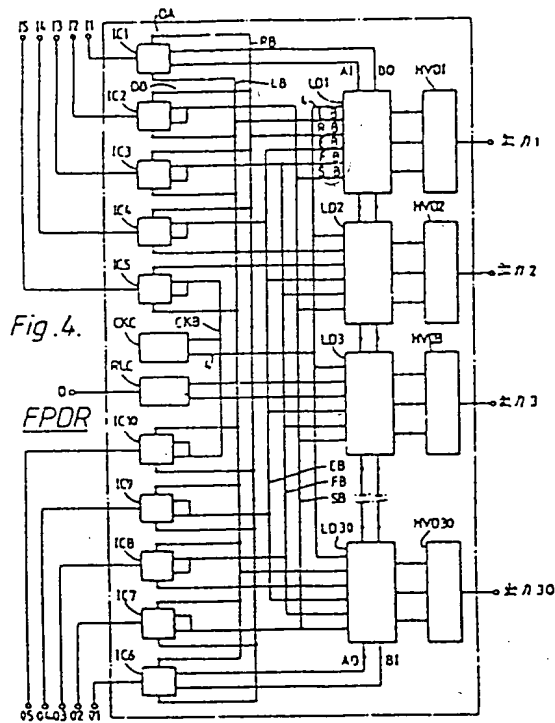


Fig. 4.

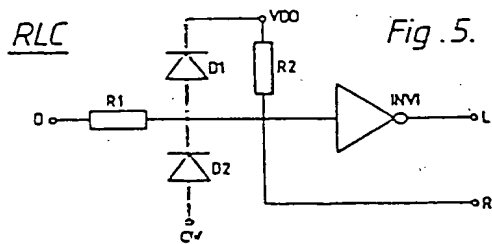


Fig. 5.

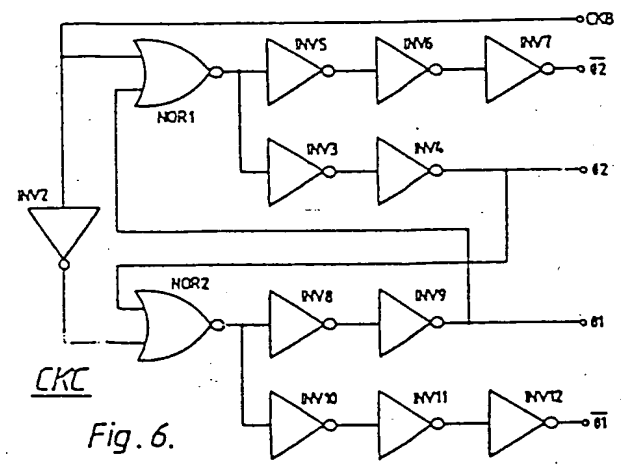


Fig. 6.

Figure 19-11 is a timing diagram showing the relationship between a clock signal (CLKB) and four data signals (D1, D2, D3, D4) over time. The clock signal is a periodic square wave. The data signals are shown as horizontal bars indicating their active periods. D1 is active during the first, third, and fifth clock cycles. D2 is active during the second, fourth, and sixth clock cycles. D3 is active during the first, second, and third clock cycles. D4 is active during the fourth, fifth, and sixth clock cycles.

Fig. 10. HVD

手 続 補 正 書 (方式)

昭和 60.9.18

特許庁長官 平 賀 達 郎 殿

1. 事件の表示

特 許 第 6 0 - 1 1 7 6 3 0 号

2. 発明の名称

スイッチング回路およびそれを
使用するマトリクス装置

3. 補正をする者

事件との関係 特許出願人

インターナショナル・スタンダード・
エレクトリック・コーポレーション

4. 代 理 人

住所 東京都港区芝大門1丁目26番5号 第17ビル
〒105 電 話 03 (502) 3 1 8 1 (大代表)

氏名 (5847) 弁護士 鈴 江 武 彦



5. 補正命令の日付

昭和 6 0 年 8 月 2 7 日

6. 補正の対象

要 件 状 況 およびその図文、図面

7. 補正の内容

別紙の通り

図面の枚数 (内容に変更なし)

